

03

(54) MANUFACTURE OF SEMICONDUCTOR SUBSTRATE

(11) 59-54217 (A) (43) 29.3.1984 (19) JP  
(21) Appl. No. 57-164463 (22) 21.9.1982  
(71) NIPPON DENKI K.K. (72) KUNIO NAKAMURA  
(31) Int. Cl.<sup>3</sup> H01L21/20, H01L21/283, H01L21/324, H01L21/84

**PURPOSE:** To obtain the polycrystalline substrate, in which mobility is high and leakage currents are little, by coating a conductive substrate coated with an insulating thin-film or an insulating substrate with a polycrystalline Si film, implanting H<sub>2</sub> ions to the polycrystalline Si film and radiating laser beams to increase crystal grain size.

**CONSTITUTION:** A polycrystalline Si layer 3 is deposited on an SiO<sub>2</sub> film 2 formed on the Si substrate 1 through a vapor growth method, and H<sub>2</sub> ions of the quantity of implantation of approximately 10<sup>16</sup>/cm<sup>2</sup> are implanted to the layer 3. The Nd:YAG laser beams 5 are irradiated and scanned to the layer 3 in energy density of approximately 2J/cm<sup>2</sup>, and the layer 3 is annealed uniformly. Implanted H<sub>2</sub> is intruded simultaneously to a crystal grain boundary, and dangling bonds are terminated and excellent polycrystalline Si is obtained. Accordingly, the polycrystalline substrate suitable for an IGFET is acquired.



2

BEST AVAILABLE COPY

437119  
437140  
4371937  
437124 3

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑪ 公開特許公報 (A)

B259-54217

Sp. Int. Cl.<sup>7</sup>

識別記号

庁内整理番号

⑬ 公開 昭和59年(1984)3月29日

H 01 L 21/20

7739-5F

発明の数 1

21/283

7638-5F

審査請求 未請求

21/324

6851-5F

21/84

7739-5F

(全 2 頁)

導電性基板の製造方法

東京都港区芝五丁目33番1号日

⑭ 特 願 昭57-164463

⑯ 出 願 人 日本電気株式会社

⑮ 出 願 昭57(1982)9月21日

日本電気株式会社

⑯ 発 明 者 中村邦雄

東京都港区芝五丁目33番1号

⑰ 代 理 人 弁理士 内原哲

# 1. 発明の名称

導電性基板の製造方法

# 2. 発明の概要

本発明は導電性基板の製造方法に係る。従来の導電性基板は、銅箔を支持体上に形成し、銅箔をエッチングして導電パターンを形成する。しかし、銅箔のエッチングは、銅箔の厚さを均一に保つことが難しく、導電パターンの精度が低下する。本発明は、銅箔をエッチングする代わりに、銅箔を溶解して導電パターンを形成する。これにより、銅箔の厚さを均一に保つことができ、導電パターンの精度が向上する。

# 3. 発明の詳細な説明

本発明は、導電性基板の製造方法に係る。従来の導電性基板は、銅箔を支持体上に形成し、銅箔をエッチングして導電パターンを形成する。しかし、銅箔のエッチングは、銅箔の厚さを均一に保つことが難しく、導電パターンの精度が低下する。本発明は、銅箔をエッチングする代わりに、銅箔を溶解して導電パターンを形成する。これにより、銅箔の厚さを均一に保つことができ、導電パターンの精度が向上する。

図1は、本発明の導電性基板の製造方法の一例を示す。図1(a)は、銅箔を支持体上に形成する工程を示す。図1(b)は、銅箔を溶解して導電パターンを形成する工程を示す。図1(c)は、導電パターンを形成した後の導電性基板を示す。

本発明は、導電性基板の製造方法に係る。従来の導電性基板は、銅箔を支持体上に形成し、銅箔をエッチングして導電パターンを形成する。しかし、銅箔のエッチングは、銅箔の厚さを均一に保つことが難しく、導電パターンの精度が低下する。本発明は、銅箔をエッチングする代わりに、銅箔を溶解して導電パターンを形成する。これにより、銅箔の厚さを均一に保つことができ、導電パターンの精度が向上する。

図2は、本発明の導電性基板の製造方法の一例を示す。図2(a)は、銅箔を支持体上に形成する工程を示す。図2(b)は、銅箔を溶解して導電パターンを形成する工程を示す。図2(c)は、導電パターンを形成した後の導電性基板を示す。

図3は、本発明の導電性基板の製造方法の一例を示す。図3(a)は、銅箔を支持体上に形成する工程を示す。図3(b)は、銅箔を溶解して導電パターンを形成する工程を示す。図3(c)は、導電パターンを形成した後の導電性基板を示す。

であるという結果を得た。この理由としてはレーザ光照射中にシリコン内に含まれた酸素が酸化反応のタンダラマードと結合し、バンドを非活性化したのであることが考えられる。

図1図面を用いて本発明の異なる例について説明する。第1図に於て、シリコン基板1上に形成された酸化膜2上に酸化反応生成物多結晶シリコン3が形成されている。酸化膜2、及び多結晶シリコン3の厚さは約 $0.5\mu\text{m}$ である。図1図面2図面示す様に酸素イオンを注入する。注入量は $1.0^{18}/\text{cm}^2$ 程度以上あればよい。酸化膜2は酸素イオン分のピークが多結晶シリコンの結晶の平均厚さとなる様に設定する。

図2図面示す様にレーザ光を照射する。レーザとして例えばYAGレーザが適用用いられる。レーザ光としてパルス光源を用いた場合、パルスエネルギーは $2.5/\text{cm}^2$ 程度が適当である。レーザ光は $100\text{nm}$ 程度のスポットでフェーズ上を走査され多結晶シリコンは均一にアモルファス化する。同時に酸素イオンは酸化膜2内に侵入し

タンダラマードを非活性化して高純度多結晶シリコンを得ることが出来る。

#### 4. 図面の簡単な説明

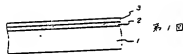
第1図乃至第3図は本発明の一例を示すための図面図である。

図1図面、1……シリコン基板、2……酸化膜、

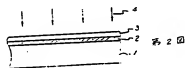
3……多結晶シリコン、4……酸素イオン、5……

レーザ光、である。

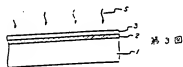
代理人 弁護士 内 原 豊



第1図



第2図



第3図